

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1999年12月17日

願 番 号

Application Number:

平成11年特許願第359897号

願 人

Applicant (s):

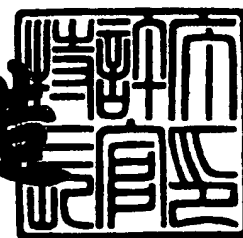
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月25日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 9900945602

【提出日】 平成11年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/40
H01L 27/105

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 藤原 一郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 小林 敏夫

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその駆動方法

【特許請求の範囲】

【請求項 1】

基板と、

当該基板の表面に設けられ半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有し、

上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる

不揮発性半導体記憶装置。

【請求項 2】

上記ボトム絶縁膜を構成する材料が、ファウラーノルドハイム (FN) トンネリング電気伝導特性を示す

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

上記ボトム絶縁膜は、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、酸化ジルコニア膜、酸化アルミニウム膜、酸化チタン膜、酸化ハフニウム膜、酸化バリウムストロンチウムチタン ($\text{BST: Ba}_x \text{Sr}_{x-1} \text{TiO}_3$) 膜、酸化イットリウム膜の何れかである

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

上記ゲート絶縁膜を構成する膜として、プールのレンケル（P F）電気伝導特性を示す窒化膜または酸化窒化膜を上記ボトム絶縁膜上に有する

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】

上記電荷蓄積手段は、ホットエレクトロンが注入される上記第 1 不純物領域側の第 1 領域と、ホットエレクトロンが注入されない第 2 領域とを有する

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】

動作時にホットエレクトロンが上記第 2 不純物領域側から注入される第 3 領域が、上記電荷蓄積手段内で上記第 2 領域を挟んで上記第 1 領域とチャネル方向に対峙する

請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記電荷蓄積手段を含むゲート絶縁膜および上記ゲート電極を有するメモリトランジスタが、ワード方向とビット方向とに複数配置され、

複数のワード線と、

当該複数のワード線と電氣的に絶縁された状態でそれぞれ交差する複数の共通線とを更に有し、

上記複数のワード線それぞれに、上記ゲート電極が複数接続され、

上記複数の共通線それぞれに、上記第 1 および／または第 2 不純物領域が複数結合されている

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 8】

上記ゲート電極をワード方向で共通に接続するワード線と、

上記第 1 不純物領域をビット方向で共通に接続する第 1 共通線と、

上記第 2 不純物領域を共通に接続する第 2 共通線と

を有する請求項 7 に記載の不揮発性半導体記憶装置。

【請求項 9】

上記第 1 共通線が、上記第 1 不純物領域をビット方向で共通に接続する第 1 副線と、当該第 1 副線をビット方向で共通に接続する第 1 主線とから構成され、

上記第 2 共通線が、上記第 2 不純物領域を共通に接続する第 2 副線と、当該第 2 副線を共通に接続する第 2 主線とから構成され、

上記第 1 副線と上記第 2 副線との間に、上記複数のメモリトランジスタが並列接続されている

請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 1 0】

上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない

請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 1 1】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜と、

当該窒化膜または酸化窒化膜上のトップ絶縁膜と

からなる請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 2】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上のトップ絶縁膜と

からなる請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 3】

上記ボトム絶縁膜が、上記チャネル形成領域上のバッファ酸化膜と、

当該バッファ酸化膜上に形成され、二酸化珪素より誘電率が大きな材料からなる膜と

からなる請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 4】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導

電体と

を含む請求項 10 に記載の不揮発性半導体記憶装置。

【請求項 15】

上記小粒径導電体の粒径が 10 ナノメートル以下である

請求項 14 に記載の不揮発性半導体記憶装置。

【請求項 16】

基板と、

当該基板の表面に設けられ半導体のチャネル形成領域と、

当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有し、

上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる不揮発性半導体記憶装置の駆動方法であって、

書き込み時に、上記ボトム絶縁膜の膜厚を同じとし膜材料を二酸化珪素とした場合より、上記第 1 および第 2 不純物領域間の印加電圧を低く設定する

不揮発性半導体記憶装置の駆動方法。

【請求項 17】

上記第 1 および第 2 不純物領域間の印加電圧は、3.2 V 以下に設定される

請求項 16 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 18】

上記第 1、第 2 不純物領域のバイアス印加条件を逆にして再度、書き込みを行い、上記第 1 不純物領域側と第 2 不純物領域側のうち上記書き込み時とは反対の側からホットエレクトロンを上記電荷蓄積手段に注入する

請求項 1 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 1 9】

上記第 1 不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第 1 不純物領域側に局在して保持される

請求項 1 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 0】

上記第 1, 第 2 不純物領域のバイアス印加方向を逆にして書き込みを行ったときに、上記第 2 不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第 2 不純物領域側に局在して保持される

請求項 1 8 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 1】

上記第 1 不純物領域側から注入されるホットエレクトロンの保持領域と、上記第 2 不純物領域側から注入されるホットエレクトロンの保持領域とが、上記電荷蓄積手段内でホットエレクトロンが注入されない中間の領域を挟んでチャネル方向の両側に分離されている

請求項 2 0 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 2】

読み出し時に、読み出し対象の蓄積電荷側の不純物領域がソースとなるように上記第 1 および第 2 不純物領域間に所定の読み出しドレイン電圧を印加し、上記ゲート電極に所定の読み出しゲート電圧を印加する

請求項 1 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 3】

読み出し時に、上記第 1 および第 2 不純物領域から注入されたホットエレクトロンに基づく 2 ビット以上の多値データを、当該第 1, 第 2 不純物領域への電圧印加方向を変えて読み出す

請求項 1 8 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 4】

消去時に、上記第 1 不純物領域側から注入され上記電荷蓄積手段に保持されている電荷を、直接トンネリングまたは FN トンネリングにより第 1 不純物領域側に引く抜く

請求項 1 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 5】

消去時に、上記第 1 または第 2 不純物領域側から注入され上記電荷蓄積手段にチャネル方向の両側に分離されて保持されている電荷を、直接トンネリングまたは FN トンネリングにより個別にあるいは一括して基板側に引く抜く

請求項 1 8 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 6】

上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない

請求項 1 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 7】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、
当該ボトム絶縁膜上の窒化膜または酸化窒化膜と、
当該窒化膜または酸化窒化膜上のトップ絶縁膜と
からなる請求項 2 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 8】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、
当該ボトム絶縁膜上のトップ絶縁膜と
からなる請求項 2 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 2 9】

上記ボトム絶縁膜が、上記チャネル形成領域上のバッファ酸化膜と、
当該バッファ酸化膜上に形成され、二酸化珪素より誘電率が大きな材料からなる膜と

からなる請求項 2 8 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 3 0】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、
上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体と

を含む請求項 2 6 に記載の不揮発性半導体記憶装置の駆動方法。

【請求項 3 1】

上記小粒径導電体の粒径が 1 0 ナノメートル以下である

請求項 3 0 に記載の不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリトランジスタのチャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS型やMNOS型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し、チャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンを注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その製造方法および駆動方法とに関する。

【0 0 0 2】

【従来の技術】

不揮発性半導体メモリは、大容量で小型の情報記録媒体として期待されているが、近年、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：1 0 0 M H z）と同等の書き込み速度が要求されるようになってきている。このため、不揮発性半導体メモリに対し、スケール性が良好で従来の 1 0 0 μ s e c / セルの書き込み速度より 1 桁またはそれ以上の書き込み速度の向上が要求されている。

【0 0 0 3】

不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面

的に連続したFG (Floating Gate) 型のほかに、電荷蓄積手段が平面的に離散化された、例えばMONOS (Metal-Oxide-Nitride-Oxide Semiconductor) 型などがある。

【0004】

MONOS型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜 $[Si_xNy \ (0 < x < 1, 0 < y < 1)]$ 膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜厚のほかに、 Si_xNy 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0005】

このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG型では多くの電荷がリークパスを通過してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。

このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。

また、平面的に離散化したキャリアトラップの分布平面に対し電荷が局所的に注入された場合、その電荷はFG型のように平面内および膜厚方向に拡散することなく保持される。

【0006】

MONOS型不揮発性メモリで微細メモリセルを実現するにはディスタープ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚（1.6 nm～2.0 nm）より厚く設定する必要があるが生じている。トンネル絶縁膜を比較的厚膜化した場合、書き込み速度は0.1～10 msec程度で未だ十分でない。

つまり、従来のMONOS型等の不揮発性メモリでは、信頼性（たとえば、デ

ータ保持特性、リードディスタurb特性あるいはデータ書換え特性など)を十分に満足させた場合、書き込み速度は $100\mu\text{sec}$ が限界である。

【0007】

書き込み速度だけを考えると高速化も可能であるが、今度は信頼性および低電圧化が十分にできない。たとえば、チャンネルホットエレクトロン(CHE)をソース側から注入するソースサイド注入型MONOSトランジスタが報告されたが(IEEE Electron Device Letter 19, 1998, pp153)、このソースサイド注入型MONOSトランジスタでは、動作電圧が書き込み時12V、消去時14Vと高いうえ、リードディスタurb特性およびデータ書換え特性などの信頼性が十分でない。

【0008】

その一方、最近になって、従来のCHE注入方式によって電荷を離散的なトラップの一部に注入できることに着目して、電荷蓄積手段のソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセルあたり2ビットを記録可能な技術が報告された。たとえば“Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp.522-523”では、ソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる“リバースリード”方法によって書き込み時間が短く蓄積電荷量が少ない場合でも2ビット情報を確実に読み出すことを可能としている。また、消去はホットホール注入によって行っている。

この技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0009】

【発明が解決しようとする課題】

ところが、この従来のCHE注入タイプのMONOS型の不揮発性メモリでは、チャンネル内を電子を加速して高エネルギー電子(ホットエレクトロン)を発生させることから、ソースとドレイン間に4.5V程度の電圧印加が必要であり、このため、書き込み時におけるパンチスルー効果が制限となってゲート長のスケ

ーリングが難しいという課題がある。

【0010】

本発明の目的は、平面的に離散化されたキャリアトラップ等の電荷蓄積手段に対しホットエレクトロンを注入して高速書き込みを行う際に発生するパンチスルーを抑制し、ゲート長およびゲート絶縁膜厚のスケーリング性が良好な不揮発性半導体記憶装置と、その駆動方法を提供することである。

【0011】

【課題を解決するための手段】

本発明の第1の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有し、上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる。

【0012】

好適に、上記ボトム絶縁膜を構成する材料が、ファウラーノルドハイム(FN)トンネリング電気伝導特性を示す。また、好適な膜材料として、窒化シリコン、酸化窒化シリコン、酸化タンタル、酸化ジルコニア、酸化アルミニウム、酸化チタン、酸化ハフニウム、酸化バリウムストロンチウムチタン($\text{BST: Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)、酸化イットリウムの何れかが選択可能である。

好適に、上記ゲート絶縁膜を構成する膜として、プールフレンケル(PF)電気伝導特性を示す窒化膜または酸化窒化膜を上記ボトム絶縁膜上に有する。

なお、FNトンネリング電気伝導特性を示す絶縁膜は、PFトンネリング電気伝導特性を示す絶縁膜と比較すると、その絶縁材料中のキャリアトラップ量が大

幅に低減されているということが一つの特徴である。

【 0 0 1 3 】

上記電荷蓄積手段は、上記ホットエレクトロンが注入される上記第 1 不純物領域側の第 1 領域と、ホットエレクトロンが注入されない第 2 領域とを有する。

好適に、動作時にホットエレクトロンが上記第 2 不純物領域側から注入される第 3 領域が、上記電荷蓄積手段内で上記第 2 領域を挟んで上記第 1 領域とチャネル方向に対峙する。

【 0 0 1 4 】

この不揮発性半導体記憶装置では、分離ソース線型、仮想接地線型など、第 1 不純物領域（たとえば、ドレイン不純物領域）に接続された共通線と、第 2 不純物領域（たとえば、ソース不純物領域）に接続された共通線とが独立に制御可能な NOR 型メモリセル方式が好適である。

分離ソース線型では、第 1 不純物領域が接続された共通線を第 1 共通線、第 2 不純物領域が接続された共通線を第 2 共通線という。

その場合、第 1 および第 2 共通線がそれぞれ階層化されていてもよい。いわゆる AND 型では、メモリブロック内の内部接続線としての第 1 および第 2 副線に対しメモリトランジスタが並列接続されている。

【 0 0 1 5 】

また、メモリトランジスタは、いわゆる MONOS 型、ナノ結晶型など、電荷蓄積手段が平面方向および膜厚方向に離散化されている各種メモリトランジスタが採用できる。また、本発明では、たとえばボトム絶縁膜を厚くして、MONOS 型における中間の窒化膜または酸化窒化膜を省略してもよい。その場合、半導体表面での界面準位を減らすために、バッファ酸化膜をチャネル形成領域との間に薄く介在させることが望ましい。

【 0 0 1 6 】

本発明の第 2 の観点に係る不揮発性半導体記憶装置の駆動方法は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート

絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが注入される電荷蓄積手段とを有し、上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる不揮発性半導体記憶装置の駆動方法であって、書き込み時に、上記ボトム絶縁膜の膜厚を同じとし膜材料を二酸化珪素とした場合より、上記第1および第2不純物領域間の印加電圧を低く設定する。

好適に、上記第1および第2不純物領域間の印加電圧は、3.2V以下に設定される。

【0017】

複数ビットの書き込みの際には、好適に、上記第1、第2不純物領域のバイアス印加条件を逆にして再度、書き込みを行い、上記第1不純物領域側と第2不純物領域側のうち上記書き込み時とは反対の側からホットエレクトロンを上記電荷蓄積手段に注入する。

【0018】

上記第1不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第1不純物領域側に局在して保持される。

複数ビット書き込みのために上記第1、第2不純物領域のバイアス印加方向を逆にして書き込みを行ったときに、上記第2不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第2不純物領域側に局在して保持される。この場合、上記第1不純物領域から注入されるホットエレクトロンの保持領域と、上記第2不純物領域から注入されるホットエレクトロンの保持領域とが、上記電荷蓄積手段内でホットエレクトロンが注入されない中間の領域を挟んでチャネル方向の両側に分離されている。

【0019】

読み出し時に、読み出し対象の蓄積電荷側の不純物領域がソースとなるように

上記第 1 および第 2 不純物領域間に所定の読み出しドレイン電圧を印加し、上記ゲート電極に所定の読み出しゲート電圧を印加する。

また、複数ビットの読み出し時に、上記第 1 および第 2 不純物領域から注入されたホットエレクトロンに基づく 2 ビット以上の多値データを、当該第 1、第 2 不純物領域への電圧印加方向を変えて読み出す。

【0020】

好適には、消去時に、上記第 1 不純物領域側から注入され上記電荷蓄積手段に保持されている電荷を、直接トンネリングまたは FN トンネリングにより第 1 不純物領域側に引く抜く。

複数ビットの消去に際しては、好適に、上記第 1 または第 2 不純物領域側から注入され上記電荷蓄積手段にチャネル方向の両側に分離されて保持されている電荷を、直接トンネリングまたは FN トンネリングにより個別にあるいは一括して基板側に引く抜く。

【0021】

この不揮発性半導体記憶装置およびその駆動方法では、書き込み時に、チャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンを、ソースまたはドレインとなる第 1 または第 2 不純物領域から、あるいはチャネル全面から電荷蓄積手段に注入する。そのとき、ホットエレクトロンはトンネル絶縁膜の最下層の膜であるボトム絶縁膜を介して注入されるが、本発明では、このボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる。また、この材料が FN トンネリング電気伝導特性を示す。このため、ボトム絶縁膜のエネルギー障壁が、従来の絶縁材料である二酸化珪素の 3.2 V から、たとえば、2.1 V にまで低減されている。このボトム絶縁膜のエネルギー障壁が低いことによって、電荷注入効率が向上し、その分、書き込み時のドレイン印加電圧を、たとえば 3.2 V 以下に低減することができる。なお、ボトム絶縁膜の下にバッファ酸化膜を介在させることもあるが、その膜厚は薄いため、エネルギー障壁的には殆ど無視できる。

【 0 0 2 2 】

読み出し時には、読み出し対象の蓄積電荷が保持されている側の不純物領域がソースとなるように読み出しドレイン電圧を印加する。このとき、第 1，第 2 不純物領域のうち高電圧側の蓄積電荷の有無はチャネル電界に殆ど影響せず、低電圧側の蓄積電荷の有無の影響を受けてチャネル電界が変化する。このため、当該メモリトランジスタのしきい値電圧は、低電圧側の蓄積電荷の有無を反映したもののとなる。

【 0 0 2 3 】

消去時には、たとえば第 1 または第 2 不純物領域に正電圧を印加し、ソース側またはドレイン側の蓄積電荷を直接トンネリングまたは FN トンネリングにより基板側に引く抜く。何れのトンネリングにおいても、ブロッカー一括消去が可能である。

【 0 0 2 4 】

【発明の実施の形態】

第 1 実施形態

図 1 に、第 1 実施形態に係る不揮発性メモリ装置の要部回路構成を示す。図 2 に、NOR 型メモリセルアレイの平面図を、図 3 に図 2 の B - B' 線に沿った断面側から見た鳥瞰図を示す。

【 0 0 2 5 】

この不揮発性メモリ装置では、ビット線（第 1 共通線）が主ビット線（第 1 主線）と副ビット線（第 1 副線）に階層化され、ソース線（第 2 共通線）が主ソース線（第 2 主線）と副ソース線（第 2 副線）に階層化されている。

主ビット線 MBL 1 に選択トランジスタ S 1 1 を介して副ビット線 SBL 1 が接続され、主ビット線 MBL 2 に選択トランジスタ S 2 1 を介して副ビット線 SBL 2 が接続されている。また、主ソース線 MSL 1 に選択トランジスタ S 1 2 を介して副ソース線 SSL 1 が接続され、主ソース線 MSL 2 に選択トランジスタ S 2 2 を介して副ソース線 SSL 2 が接続されている。

【 0 0 2 6 】

副ビット線 SBL 1 と副ソース線 SSL 1 との間に、メモリトランジスタ M 1

1 ~ M 1 n (たとえば、n = 1 2 8) が並列接続され、副ビット線 S B L 2 と副ソース線 S S L 2 との間に、メモリトランジスタ M 2 1 ~ M 2 n が並列接続されている。この互いに並列に接続された n 個のメモリトランジスタと、2 つの選択トランジスタ (S 1 1 と S 1 2、又は、S 2 1 と S 2 2) とにより、メモリセルアレイを構成する単位ブロックが構成される。

【 0 0 2 7 】

ワード方向に隣接するメモリトランジスタ M 1 1, M 2 1, … の各ゲートがワード線 W L 1 に接続されている。同様に、メモリトランジスタ M 1 2, M 2 2, … の各ゲートがワード線 W L 2 に接続され、また、メモリトランジスタ M 1 n, M 2 n, … の各ゲートがワード線 W L n に接続されている。

ワード方向に隣接する選択トランジスタ S 1 1, … は選択線 S G 1 1 により制御され、選択トランジスタ S 2 1, … は選択線 S G 2 1 により制御される。同様に、ワード方向に隣接する選択トランジスタ S 1 2, … は選択線 S G 1 2 により制御され、選択トランジスタ S 2 2, … は選択線 S G 2 2 により制御される。

【 0 0 2 8 】

この NOR 型セルアレイでは、図 3 に示すように、半導体基板 S U B の表面に n ウエル W が形成されている。n ウエル W は、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層 I S O により、ワード方向に絶縁分離されている。

【 0 0 2 9 】

素子分離絶縁層 I S O により分離された各 n ウエル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平行ストライプ状に p 型不純物が高濃度に導入され、これにより、副ビット線 S B L 1, S B L 2 (以下、S B L と表記) および副ソース線 S S L 1, S S L 2 (以下、S S L と表記) が形成されている。

副ビット線 S B L および副ソース線 S S L 上に絶縁膜を介して直交して、各ワード線 W L 1, W L 2, W L 3, W L 4, … (以下、W L と表記) が等間隔に配線されている。これらのワード線 W L は、内部に電荷蓄積手段を含む絶縁膜を介して n ウエル W 上および素子分離絶縁層 I S O 上に接している。

副ビット線 S B L と副ソース線 S S L との間の n ウエル W の部分と、各ワード線 W L との交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【 0 0 3 0 】

ワード線 W L の上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層（本例では、通常の層間絶縁層でも可）により覆われている。

これら絶縁層には、所定間隔で副ビット線 S B L に達するビットコンタクト B C と、副ソース線 S S L に達するソースコンタクト S C とが形成されている。これらのコンタクト B C, S C は、たとえば、ビット方向のメモリトランジスタ 1 2 8 個ごとに設けられている。

また、絶縁層上を、ビットコンタクト B C 上に接触する主ビット線 M B L 1, B L 2, … と、ソースコンタクト S C 上に接触する主ソース線 M S L 1, B L 2, … が交互に、平行ストライプ状に形成されている。

【 0 0 3 1 】

この N O R 型セルアレイは、第 1 共通線（ビット線）および第 2 共通線（ソース線）が階層化され、メモリセルごとにビットコンタクト B C およびソースコンタクト S C を形成する必要がある。したがって、コンタクト抵抗自体のバラツキは基本的でない。ビットコンタクト B C およびソースコンタクト S C は、たとえば 1 2 8 個のメモリセルごとに設けられるが、このときのプラグ形成を自己整合的に行わないときは、オフセット絶縁層およびサイドウォール絶縁層は必要ない。すなわち、通常の層間絶縁膜を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグラフィとエッチングによりコンタクトを開口する。

【 0 0 3 2 】

副線（副ビット線、副ソース線）を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅 F で行った場合、 $8 F^2$ に近い非常に小さいセル面積で製造できる。

さらに、ビット線とソース線が階層化されており、選択トランジスタ S 1 1 又は S 2 1 が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット

線MBL 1またはMBL 2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、選択トランジスタS 1 2またはS 2 2の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。

なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0033】

図4に、メモリトランジスタのワード方向の拡大断面図を示す。

図4において、副ビット線SBLと副ソース線SSLとの間に挟まれ、ワード線WLが交差する部分が、当該メモリトランジスタのチャネル形成領域となる。

【0034】

チャネル形成領域上には、ゲート絶縁膜10を介してメモリトランジスタのゲート電極（ワード線WL）が積層されている。ワード線WLは、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたポリシリコン(doped poly-Si)、又はdoped poly-Siと高融点金属シリサイドとの積層膜からなる。このワード線WLの実効部分、すなわちソース・ドレイン間距離に相当するチャネル方向の長さ（ゲート長）は、 $0.25\mu\text{m}$ 以下、たとえば $0.18\mu\text{m}$ 程度である。

【0035】

本実施形態におけるゲート絶縁膜10は、下層から順に、ボトム絶縁膜11、窒化膜12、トップ絶縁膜13から構成されている。

本実施形態におけるボトム絶縁膜11は、FNトンネリング電気伝導特性をもつ窒化膜（FNトンネル窒化膜）を用いる。このFNトンネル窒化膜は、例えばJVD(Jet Vapor Deposition)法、または、CVD膜を還元性または酸化性ガスの雰囲気中で加熱して変質させる方法（以下、加熱FNトンネル化法という）により作製された窒化シリコン膜、または、窒化シリコンを主体とした膜（例えば、窒化オキシシリコン膜）である。

通常のCVDにより作製された窒化シリコン膜がプールフレンケル（PF）型

の電気伝導特性を示すのに対し、このFNトンネル窒化膜は、膜中のキャリアトラップが通常のCVDによる場合より低減されているため、ファウラーノルドハイム(FN)型の電気伝導特性を示す。

ボトム絶縁膜(FNトンネル窒化膜)11の膜厚は、使用用途に応じて2.0 nmから5.0 nmの範囲内で決めることができ、ここでは4.0 nmに設定されている。

【0036】

窒化膜12は、たとえば5.0~8.0 nmの窒化シリコン(Si_xN_y ($0 < x < 1$, $0 < y < 1$))膜から構成されている。この窒化膜12は、たとえば減圧CVD(LP-CVD)により作製され、膜中にキャリアトラップが多く含まれている。窒化膜12は、プールフレンケル(PF)型の電気伝導特性を示す。

【0037】

トップ絶縁膜13は、窒化膜12との界面近傍に深いキャリアトラップを高密度に形成する必要があるため、このため、例えば成膜後の窒化膜を熱酸化して形成される。トップ絶縁膜13をHTO(High Temperature chemical vapor deposited Oxide)法により形成した SiO_2 膜としてもよい。トップ絶縁膜13がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜13の膜厚は、ゲート電極(ワード線WL)からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0 nm、好ましくは3.5 nm以上が必要である。

【0038】

このような構成のメモリトランジスタの製造においては、まず、用意した半導体基板SUBに対し素子分離絶縁層ISOおよびnウエルWを形成した後に、副ビット線SBLおよび副ソース線SSLとなる不純物領域をイオン注入法により形成する。また、しきい電圧調整用のイオン注入等を必要に応じて行う。

【0039】

つぎに、半導体基板SUB上にゲート絶縁膜10を成膜する。

具体的に、まず、JVD法または加熱FNトンネル化法を用いてボトム絶縁膜

11を、たとえば4.0nm程度形成する。

JVD法では、SiとNの分子または原子を、ノズルから真空中に極めて高速で放出し、この高速の分子または原子の流れを半導体基板SUB上に誘導して、例えば窒化オキシシリコン膜を堆積させる。

加熱FNトンネル化法では、まず、ボトム絶縁膜11を作製する前の処理として、半導体基板SUBを、たとえばNO雰囲気中で800℃、20秒ほど熱処理する。つぎに、たとえば、LP-CVD法により窒化シリコン(SiN)膜を堆積させる。その後、このCVD膜に対し、たとえば、アンモニア(NH₃)ガス雰囲気中で950℃、30秒の加熱処理、続いて、N₂Oガス雰囲気中で800℃、30秒の加熱処理を行い、CVD成膜直後はPF伝導特性を示すSiN膜をFNトンネル窒化膜に改質させる。

【0040】

つぎに、ボトム絶縁膜11上に、LP-CVD法により窒化膜12を、最終膜厚が5nmとなるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度650℃で行う。ここでは、必要に応じて、予め、出来上がり膜表面の荒さの増大を抑止するため下地面の前処理(ウエハ前処理)及び成膜条件を最適化するとよい。この場合、ウエハ前処理を最適化していないと窒化膜の表面モフォロジーが悪く正確な膜厚測定ができないことから、このウエハ前処理を十分に最適化した上で、次の熱酸化工程で膜減りする窒化膜の減少分を考慮した膜厚設定を行う。

形成した窒化膜表面を、たとえば熱酸化法により酸化して、トップ絶縁膜13を3.5nmほど形成する。この熱酸化は、たとえばH₂O雰囲気中で炉温度950℃で行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{13} / \text{cm}^2$ の密度で形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ絶縁膜13)が1.6nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚が5nmとなる。

【0041】

ゲート電極(ワード線WL)となる導電膜とオフセット絶縁層(不図示)との

積層膜を積層させ、この積層膜を一括して同一パターンにて加工する。

続いて、図 3 のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトを形成し、自己整合コンタクトにより表出する副ビット線 S B L および副ソース線 S S L 上に、ビットコンタクト B C およびソースコンタクト S C を形成する。

その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線 M B L および主ソース線 M S L を形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【 0 0 4 2 】

ところで、MONOS 型不揮発性メモリトランジスタの ONO 膜（ボトム絶縁膜／窒化膜／トップ絶縁膜）のうちボトム絶縁膜を、例えば 3 n m 程度まで厚膜化した場合、今までの ONO 膜の膜厚仕様の典型値は 3 . 0 / 5 . 0 / 3 . 5 n m であった。この ONO 膜厚は、酸化シリコン膜換算値で 9 n m となる。

【 0 0 4 3 】

これに対し、本実施形態に係る MONOS 型不揮発性メモリトランジスタは、ボトム絶縁膜 1 1 に F N トンネル窒化膜を用いることにより、ゲート絶縁膜（この場合、NNO 膜）を酸化シリコン膜換算値で従来より薄くできる利点がある。つまり、ボトム絶縁膜 1 1 を 4 n m と多少厚くしても、窒化シリコンの比誘電膜率が酸化シリコンの約 2 倍であるため、ゲート絶縁膜 1 0 （膜厚仕様：ボトム絶縁膜／窒化膜／トップ絶縁膜 = 4 . 0 / 3 . 0 / 3 . 5 n m）は、酸化シリコン膜換算値で 8 n m と従来より実効的に薄くなる。これは、ボトム絶縁膜 1 1 に F N トンネル窒化膜を用いると、ボトム絶縁膜 1 1 の膜中あるいはボトム絶縁膜 1 1 と窒化膜 1 2 との界面でのキャリアトラップ数が激減するため、窒化膜 1 2 とトップ絶縁膜 1 3 との界面付近に形成された深いキャリアトラップが電荷蓄積用として今まで以上に有効利用されるためと考えられる。

【 0 0 4 4 】

本実施形態では、従来 1 . 6 n m ~ 2 . 0 n m 程度が一般的であったボトム絶縁膜 1 1 の膜厚を比較的厚く設定し、ディスタープ特性を改善した上で、ボトム

絶縁膜 1 1 に F N トンネル窒化膜を用いたことによって、ゲート絶縁膜 1 0 の実効膜厚を低減している。また、前記したようにホットエレクトロン注入時のエネルギー障壁を低減して注入効率を向上させている。この結果、信頼性向上、書き込みの高速化および動作電圧の低電圧化が同時に達成される。また、詳細は後述するが、メモリトランジスタのパンチスルー耐性が向上する。

【 0 0 4 5 】

つぎに、このような構成の不揮発性メモリの書き込み時のバイアス設定例および動作について、メモリトランジスタ M 1 1 にデータを書き込む場合を例に説明する。

【 0 0 4 6 】

書き込み時に、必要に応じて書き込みインヒビット電圧の設定した後、プログラム電圧を印加する。

たとえば、選択されたワード線 W L 1 に 4 V、基板電位を 0 V、選択された主ソース線 M S L 1 をオープンとした状態で、選択された主ビット線 M B L 1 に例えば - 4 V を印加する。

【 0 0 4 7 】

この書き込み条件下、副ビット線 S B L 1 をなす p 型不純物領域の表面に n 型の反転層が形成され、この反転層にゲートとドレイン間の電圧が印加されて、この部分でエネルギーバンドの曲がりが大きくなり、実効的なバンドギャップが減少するため、容易にバンド間トンネル電流が発生する。バンド間トンネル電流は、ゲートとドレイン間の電圧に加速されて高エネルギーを得てホットエレクトロンとなる。ホットエレクトロンは、その運動量（大きさと方向）が維持されてボトム絶縁膜 1 1 のエネルギー障壁より高いエネルギーを持つと、当該ボトム絶縁膜 1 1 のエネルギー障壁を越えて、窒化膜 1 2 内のキャリアトラップ（電荷蓄積手段）に注入される。

このバンド間トンネル電流を利用した書き込みでは、ホットエレクトロンの発生が副ビット線 S B L 1 側に限定されることから、副ビット線 S B L 1 の上方を中心とした電荷蓄積手段の局部（第 1 領域；図 4 の窒化膜 1 2 中、斜線で表示）に電荷が注入される。

【 0 0 4 8 】

本実施形態では、ボトム絶縁膜 1 1 が F N トンネル窒化膜から形成されているため、この書き込み時にホットエレクトロンが飛び越えるエネルギー障壁が従来の 3. 2 V から 2. 1 V 程度に低減されており、その結果、高いホットエレクトロンの注入効率が得られる。

また、書き込みをすべき選択セルと書き込みを禁止すべき非選択セルをバイアス条件により設定するとワード線 W L 1 に連なるセルを一括してページ書き込みできるが、本実施形態では、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、結果として、一括並列書き込み可能なセル数を多くすることができる。

【 0 0 4 9 】

読み出しでは、バイアス値を書き込み状態に応じてチャネルが形成される程度に変更する。たとえば、副ビット線 S B L 1 を接地した状態で、副ソース線 S S L 1 に負の電圧 - 1. 5 V、ワード線 W L 1 に読み出しワード線電圧 - 2 V を印加する。

これにより、選択ワード線 W L 1 に接続されたメモリトランジスタ M 1 1, M 2 1, … に対し行うページ読み出しの場合、電荷蓄積手段の第 1 領域に電子が注入されていない消去状態のメモリトランジスタではチャネルが形成され、電荷蓄積手段の第 1 領域に電子が注入された書き込み状態のメモリトランジスタではチャネルが形成されない。したがって、主ビット線 M B L 1, M B L 2, … には、そのチャネル形成の有無に応じた電位変化が現出する。この電位変化をセンスアンプで検出すると、ページ内の記憶データが一括して読み出される。

【 0 0 5 0 】

消去では、チャネル全面から、あるいは副ビット線 S B L 1 側から F N トンネルリングまたは直接トンネルリングを用いて電荷を引く抜くことにより行う。たとえば、電荷蓄積手段に保持された電子をチャネル全面から直接トンネルリングを用いて引き抜く場合、ワード線 W L に - 5 V、主ビット線 M B L 1 に 5 V、主ソース線 M S L 1 をオープン、n ウエル W に 5 V の電圧を印加する。これにより、電荷蓄積手段の第 1 領域に保持されていた電子が、基板側に引き抜かれることで、セ

ル消去が行われる。このとき、消去速度は 1 m s e c 程度であった。

【0 0 5 1】

図 5 は、1 セル内に 2 ビットのデータを記憶したメモリトランジスタを示す。

図 5 に示すメモリトランジスタにおいて、電荷蓄積手段の第 1 領域に第 1 実施形態と同様な方法で書き込みを行った後、副ソース線 S S L 側にも同様な書き込みを行う。

この 2 回目の書き込みでは、ソースとドレインの印加電圧を 1 回目と逆とする。すなわち、選択されたワード線 W L に 4 V、基板電位に 0 V を印加し、副ビット線 S B L をオープンとした状態で、副ソース線 S S L に - 4 V を印加する。これにより、1 回目と同様に、バンド間トンネル電流に起因したホットエレクトロンが電荷蓄積手段の副ソース線 S S L 側の領域（第 3 領域）に注入される。

【0 0 5 2】

これにより、2 ビットとも書き込み状態のセルでは、電荷蓄積手段の第 1 領域にホットエレクトロンが注入されて保持され、これと独立に、第 3 領域にホットエレクトロンが注入され保持されている。つまり、電荷蓄積手段の第 1 領域と第 3 領域との間にはホットエレクトロンが注入されない第 2 領域が介在するので、この 2 ビット情報に対応したエレクトロンは確実に峻別される。

【0 0 5 3】

読み出しは、第 1 領域の電荷に 2 値データの読み出しの時とは、ソースとドレイン間の電圧方向を逆にして行う。これにより、2 ビットのデータを独立に読み出すことができる。

消去も、前記した第 1 領域側の消去と、ソースとドレイン（副ビット線 S B L および副ソース線 S S L）の印加電圧を逆にして行う。なお、チャネル全面で消去を行う場合は、第 1 領域側と第 3 領域側のデータが一括消去される。

【0 0 5 4】

つぎに、書き込み状態、消去状態のメモリトランジスタの電流－電圧特性について検討した。

この結果、ドレイン電圧 1 . 5 V での非選択セルからのオフリーク電流値は約 1 n A であった。この場合の読み出し電流は 1 0 μ A 以上であるため、非選択セ

ルの誤読み出しが生じることはない。したがって、ゲート長 $0.18\mu\text{m}$ のMONOS型メモリトランジスタにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。

また、ゲート電圧 1.5V でのリードディスタurb特性も評価したが、 $3\times 10^8\text{sec}$ 以上時間経過後でも読み出しが可能であることが分かった。

【0055】

データ書換え回数は、キャリアトラップが空間的に離散化されているために良好で、 1×10^6 回を満足することが分かった。

また、データ保持特性は 1×10^6 回のデータ書換え後で 85°C 、10年を満足した。

【0056】

以上より、ゲート長 $0.18\mu\text{m}$ のMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。また、ボトム絶縁膜11をFNトンネル窒化膜により形成することにより、ゲート長 $0.13\mu\text{m}$ のMONOS型不揮発性メモリトランジスタの実現あるいは特性改善が容易となる。

【0057】

第2実施形態

第2実施形態は、仮想接地NOR型の不揮発性メモリ装置に関する。

仮想接地型は、大別すると、スプリットゲート型とAMG(Alternate Metal Vertical Ground)型がある。スプリットゲート型は選択トランジスタの機能を実質的にメモリトランジスタ内に具備させることで書き込みディスタurbを防止する。AMG型は半導体不純物領域からなる拡散層配線を1本おきにメタル配線に接続させ、たとえば、メタル配線をビット線として、メタル配線間の拡散層配線をソース線として選択することで隣接セルの書き込みディスタurbを防止する。

【0058】

図6は、仮想接地NOR型のうちAMG型のメモリセルアレイ構成を示す回路図である。

このメモリセルアレイでは、ソース線が隣接メモリセル間で共通化されている

。この共通化されたソース線は隣りのメモリセルを動作させるときはビット線として機能する。したがって、このメモリセルアレイでは、ビット方向の配線は全て“ビット線”と称する。

各ビット線BL1～BL3は、半導体の不純物領域からなる拡散層配線である。その1本おき、たとえばビット線BL1とBL3が、図示しないビットコンタクトを介して上層のメタル配線に接続されている。

【0059】

図7は、nチャネルMONOS型メモリトランジスタの断面図である。

このメモリトランジスタは、ワード線WLの幅方向両側にソース不純物領域Sおよびドレイン不純物領域Dが形成されている以外、基本的構造は、第1実施形態に係る図4、図5のメモリトランジスタと同じである。したがって、本実施形態におけるボトム絶縁膜11も、FNトンネル窒化膜から形成されている。

ここで、たとえばメモリトランジスタM21（図6）を例にとると、ソース不純物領域Sがビット線BL2を構成し、ドレイン不純物領域Dがビット線BL3を構成し、かつ、ビット線BL3は図示しない箇所でメタル配線からなる主ビット線にビットコンタクトを介して接続されている。

【0060】

本実施形態では、チャネルホットエレクトロン注入を用いて書き込みを行う。

すなわち、たとえばメモリトランジスタM21に対し書き込みを行うときは、選択されたビット線BL3が接続されたメタル配線に3V、ソース線として機能するビット線BL2に0V、選択されたワード線WL1に5V、非選択ビット線BL1が接続されたメタル配線および非選択ワード線WL2に0Vを印加する。これにより、メモリトランジスタM21のソースとドレイン間に3Vが印加されるので、チャネル内にソース不純物領域Sから電子が供給されて、電界加速される。加速された電子が水平チャネル端付近でホットエレクトロンとなり、その一部がボトム絶縁膜11のエネルギー障壁を越えてゲート絶縁膜10内のキャリアトラップに注入される。

【0061】

一方、反対側、すなわちメモリトランジスタM21の電荷蓄積手段のビット線

B L 2 側の局部への書き込みでは、ソースとドレイン間の印加電圧方向を、上記書き込み時とは逆にし、他の電圧条件は同じとする。これにより、メモリトランジスタ M 2 1 の電荷蓄積手段のビット線 B L 2 側の局部に、チャネルホットエレクトロン注入により電荷が注入される。

【 0 0 6 2 】

読み出し時には、メモリトランジスタ M 2 1 の読み出す対象の電荷が蓄積されている側（たとえば、ビット線 B L 3 側）をソースとし、ビット線 B L 2 をドレインとして、ソースとドレイン間に所定の読み出しドレイン電圧を印加する。また、ワード線 W L 1 に所定の読み出しゲート電圧を印加する。このとき、図示しないが、メモリトランジスタ M 2 1 より更に右隣のメモリトランジスタ M 3 1 がオンしないように、更に右隣のビット線 B L 4 （不図示）の電位を設定する。これにより、ビット線 B L 3 には、メモリトランジスタ M 2 1 のしきい値電圧に応じた電位変化が現出し、これをセンスアンプで検出する。

反対側の電荷を読み出すときは、ソースとドレイン間の電圧印加方向を逆にすることで、同様な読み出しが可能である。

【 0 0 6 3 】

消去時に、第 1 実施形態と同様に、たとえばチャネル全面消去を行う。

【 0 0 6 4 】

本実施形態におけるチャネルホットエレクトロン注入においても、第 1 実施形態と同様に、ボトム絶縁膜 1 1 が F N トンネル窒化膜からなることから、そのエネルギー障壁が従来の酸化膜からなる場合より低く、その結果、ホットエレクトロンの注入効率が向上する。したがって、書き込みが高速化され、ページ書き込みにおける一括書き込みのビット数を大きくでき、さらには、低電圧化が容易となる。

また、このメモリセルアレイ構造では、セル面積を小さくできる利点がある。

【 0 0 6 5 】

ところで、ボトム絶縁膜に酸化膜を用いた従来構造の M O N O S 型メモリトランジスタでは、チャネルホットエレクトロン注入の際にソースとドレイン間に 4 . 5 V 程度の電圧を印加する必要があった。この場合、ソースとドレイン間に発

生したパンチスルーにより、ゲート長のスケーリングが困難となる課題があった。

【0066】

図8に、このボトム絶縁膜に酸化シリコン膜を用いた従来のMONOS型メモリトランジスタについて、パンチスルー特性のゲート長依存性を示す。

仮に、単位ゲート幅当たりのドレイン電流の最大許容値を $10\text{ pA}/\mu\text{m}$ 程度とすると、従来、ゲート長が $0.22\mu\text{m}$ の場合にドレイン電圧は 4.5 V 程度までしか印加できない。また、ゲート長が $0.18\mu\text{m}$ の場合は、ドレイン電圧 2.4 V 程度が印加可能な最大の電圧値である。

【0067】

これに対し、本実施形態ではボトム絶縁膜11がFNトンネル窒化膜からなることから、前述したようにホットエレクトロンが越えるべきボトム絶縁膜11のエネルギー障壁が 3.2 V から 2.1 V に低減されている。このため、ホットエレクトロンの注入効率が上がり、従来と同じ書き込み速度を得るためのドレイン電圧は、 4.5 V から 3.2 V 程度に低減される。

このドレイン電圧の低減によって、パンチスルーに起因したドレイン電流の増大が抑制でき、結果として、ゲート長のスケーリングが容易となる。たとえば、ある程度書き込み速度を上げるために従来はドレイン電圧が 4.5 V 程度必要であったが、このとき図8に示すようにリーク電流が大きすぎてゲート長 $0.18\mu\text{m}$ の実現はできなかった。ところが、本実施形態では、ドレイン電圧を 3.2 V にすることができるため、図8におけるゲート長 $0.18\mu\text{m}$ のグラフ線から読み取れるように、リーク電流が 10^{-10} オーダの実用領域まで低減される。

すなわち、本実施形態では、ボトム絶縁膜11をFNトンネル窒化膜から形成することによりドレイン電圧を下げての使用できるため、パンチスルーが発生し難くなり、その分、短ゲート長化が容易となるという利点がある。

【0068】

以下、メモリトランジスタ構造の変形に関する実施形態を説明する。

【0069】

第3実施形態

図9に、第3実施形態に係るメモリトランジスタの断面図を示す。

このメモリトランジスタでは、ボトム絶縁膜11を厚く堆積し、第1実施形態における中間の窒化膜12を省略している。

ボトム絶縁膜11の形成は、第1実施形態と同様にして行う。ボトム絶縁膜11の成膜後の初期膜厚をたとえば6nmとし、その表面を熱酸化してトップ絶縁膜13を形成する。このようにして形成したゲート絶縁膜14（膜厚仕様：ボトム絶縁膜／トップ絶縁膜＝3.8／3.5nm）は、酸化シリコン膜換算値で5.4nmとなり、更に実効膜厚が薄くなっている。

他の構成、形成方法は第1実施形態と同様である。また、書き込み、読み出しおよび消去の基本的な動作も第1実施形態と同じである。

なお、ボトム絶縁膜11の堆積の前に、チャネル形成領域のシリコン表面の界面準位を低減するなどの目的で、シリコン表面に薄いバッファ酸化膜を成膜してもよい。

【0070】

本実施形態では、ボトム絶縁膜11を厚く堆積し、その上に直接、トップ絶縁膜13を形成することで、窒化膜を全てFNトンネル窒化膜としている。FNトンネル窒化膜は膜中のキャリアトラップ数が比較的少ないため、第1実施形態の場合より、さらに窒化膜（ボトム絶縁膜11）と酸化膜（トップ絶縁膜13）との界面付近の深いキャリアトラップが電荷蓄積に有効に利用できる。この結果、ゲート絶縁膜14の実効膜厚が低減され、さらなる低電圧化を図ることが可能となる。

【0071】

第4実施形態

第4実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の粒径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置（以下、Siナノ結晶型という）に関する。

【0072】

図10は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図で

ある。

本実施形態の S i ナノ結晶型不揮発性メモリでは、そのゲート絶縁膜 2 0 が、ボトム絶縁膜 2 1、その上の電荷蓄積手段としての S i ナノ結晶 2 2、および S i ナノ結晶 2 2 を覆う酸化膜 2 3 とからなる。

その他の構成、即ち半導体基板 S U B、チャネル形成領域、ウェル W、副ソース線 S S L（ソース不純物領域 S）、副ビット線 S B L（ドレイン不純物領域 D）、ワード線 W L は、第 1 ～ 第 3 実施形態と同様である。

【 0 0 7 3 】

S i ナノ結晶 2 2 は、そのサイズ（直径）が、好ましくは 1 0 n m 以下、例えば 4 . 0 n m 程度であり、個々の S i ナノ結晶同士が酸化膜 2 3 で空間的に、例えば 4 n m 程度の間隔で分離されている。

本例におけるボトム絶縁膜 2 1 は、電荷蓄積手段（S i ナノ結晶 2 2）が基板側に近いこととの関係で、第 1 実施形態よりやや厚く、使用用途に応じて 2 . 6 n m から 5 . 0 n m までの範囲内で適宜選択できる。ここでは、4 . 0 n m 程度の膜厚とした。

【 0 0 7 4 】

このような構成のメモリトランジスタの製造では、ボトム絶縁膜 2 1 の成膜後、例えば L P - C V D 法でボトム絶縁膜 2 1 の上に、複数の S i ナノ結晶 2 2 を形成する。また、S i ナノ結晶 2 2 を埋め込むように、酸化膜 2 3 を、例えば 7 n m ほど L P - C V D により成膜する。この L P - C V D では、原料ガスが D C S と N₂ O の混合ガス、基板温度が例えば 7 0 0 °C とする。このとき S i ナノ結晶 2 2 は酸化膜 2 3 に埋め込まれ、酸化膜 2 3 表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えば C M P 等）を行うとよい。その後、ワード線となる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該 S i ナノ結晶型メモリトランジスタを完成させる。

【 0 0 7 5 】

このように形成された S i ナノ結晶 2 2 は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約 3 . 1 e V 程度とされる。この大き

さの個々のSiナノ結晶22は、数個の注入電子を保持できる。なお、Siナノ結晶22を更に小さくして、これに単一電子を保持させてもよい。

【0076】

このような構成のSiナノ結晶型不揮発性メモリについて、ランドキストのバックトンネリングモデルによりデータ保持特性を検討した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と半導体基板との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.1 eVの場合のデータ保持を検討した。この結果、トラップレベル3.1 eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域までの距離が4.0 nmと比較的に近い場合でも良好なデータ保持を示すことが分かった。

【0077】

第5実施形態

第5実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0078】

図11は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。

本実施形態の微細分割FG型不揮発性メモリでは、メモリトランジスタがSOI基板に形成され、そのゲート絶縁膜30が、ボトム絶縁膜31、その上の電荷蓄積手段としての微細分割型フローティングゲート32、および微細分割型フローティングゲート32を埋め込む酸化膜33とからなる。

この微細分割フローティングゲート32は、第4実施形態のSiナノ結晶22とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0079】

SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX (Separation by Implanted Oxygen) 基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合

わせた張合せ基板などが用いられる。このような方法によって形成され図 1 1 に示した S O I 基板は、半導体基板 S U B、分離酸化膜 3 4 およびシリコン層 3 5 とから構成され、シリコン層 3 5 内に、副ソース線 S S L（ソース不純物領域 S）、副ビット線 S B L（ドレイン不純物領域 D）が設けられている。両不純物領域間がチャンネル形成領域となる。

なお、半導体基板 S U B に代えて、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【 0 0 8 0 】

微細分割フローティングゲート 3 2 は、通常の F G 型のフローティングゲートを、その高さが例えば 5 . 0 n m 程度で、直径が例えば 8 n m までの微細なポリ S i ドットに加工したものである。

本例におけるボトム絶縁膜 2 1 は、第 1 実施形態よりやや厚いが、通常の F G 型に比べると格段に薄く形成され、使用用途に応じて 2 . 5 n m から 4 . 0 n m までの範囲内で適宜選択できる。ここでは、最も薄い 2 . 5 n m の膜厚とした。

【 0 0 8 1 】

このような構成のメモリトランジスタの製造では、S O I 基板上にボトム絶縁膜 3 1 を成膜した後、例えば L P - C V D 法で、ボトム絶縁膜 3 1 の上にポリシリコン膜（最終膜厚：5 n m）を成膜する。この L P - C V D では、原料ガスが D C S とアンモニアの混合ガス、基板温度が例えば 6 5 0 ° C とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径が例えば 8 n m までの微細なポリ S i ドットに加工する。このポリ S i ドットは、微細分割型フローティングゲート 3 2（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート 3 2 を埋め込むように、酸化膜 3 3 を、例えば 9 n m ほど L P - C V D により成膜する。この L P - C V D では、原料ガスが D C S と N₂ O の混合ガス、基板温度が例えば 7 0 0 ° C とする。この時、微細分割型フローティングゲート 3 2 は酸化膜 3 3 に埋め込まれ、酸化膜 3 3 表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えば C M P 等）を行うとよい。その後、ワード線 W L となる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該微細分割 F G 型メモリトランジスタを完成させる。

【 0 0 8 2 】

このように S O I 基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

【 0 0 8 3 】

変形例

以上述べてきた第 1 ～第 5 実施形態において、種々の変形が可能である。

【 0 0 8 4 】

本実施形態では、メモリトランジスタのボトム絶縁膜として、F N トンネル窒化膜、すなわち F N トンネルリング電気伝導特性を示す窒化シリコン膜または窒化オキシシリコン膜を例示した。本発明では、その他のボトム絶縁膜材料として、酸化タンタル、酸化ジルコニア、酸化アルミニウム、酸化チタン、酸化ハフニウム、酸化バリウムストロンチウムチタン ($BST: Ba_x Sr_{x-1} TiO_3$)、酸化イットリウムなどの高誘電膜を選択可能である。

【 0 0 8 5 】

上記実施形態では、書き込み時のホットエレクトロンの注入方法として、バンド間トンネル電流に起因したホットエレクトロン注入法、チャネルホットエレクトロン注入法のみ示した。本発明では、その他、チャネル内で電子をバリスチックに走行させるバリスチックホットエレクトロン注入法、2 次衝突電離ホットエレクトロン注入法、または、基板ホットエレクトロン注入法が採用できる。

【 0 0 8 6 】

また、とくに図示しない D I N O R 型など、他の N O R 型セル、さらには A N D 型セルに対しても本発明が適用できる。

【 0 0 8 7 】

本発明における“平面的に離散化された電荷蓄積手段”は、窒化膜バルクのキャリアトラップおよび酸化膜と窒化膜界面付近に形成されたキャリアトラップを含むことから、ゲート絶縁膜が N O (Nitride-Oxide) 膜なる M N O S 型であっても本発明が適用できる。

【 0 0 8 8 】

本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。

【 0 0 8 9 】

【発明の効果】

本発明に係る不揮発性半導体記憶装置およびその駆動方法によれば、ボトム絶縁膜を二酸化珪素より誘電率が大きな絶縁材料、たとえばFNトンネリング電気伝導特性を示す窒化膜を用いて形成していることから、ホットエレクトロン注入の際に電荷が飛び越えるべきエネルギー障壁が低減され、注入効率が向上する。したがって、書き込み速度が上がるほか、ドレイン電圧を小さくする余地が生まれ、結果として、パンチスルーが発生し難くなり、またゲート長の短縮が容易となる。

また、ボトム絶縁膜厚を薄くできる分だけ、ゲート絶縁膜の実効膜厚を薄くできることから、ゲート印加電圧の低電圧化も容易となる。

さらに、電荷蓄積手段のソース側とドレイン側に分けて局部的に電荷蓄積させると、1メモリセル内に複数ビットのデータ記憶が可能となる。

消去は、電子をトンネリングにより引き抜くため、絶縁膜が劣化し難く、信頼性が高い。

【図面の簡単な説明】

【図 1】

第1実施形態に係る不揮発性メモリ装置のメモリセルアレイ構成を示す回路図である。

【図 2】

第1実施形態に係るNOR型メモリセルアレイの平面図である。

【図 3】

第1実施形態に係るNOR型メモリセルアレイについて、図2のB-B'線に沿った断面側から見た鳥瞰図である。

【図 4】

第1実施形態に係るメモリトランジスタのワード方向の拡大断面図である。

【図 5】

第 1 実施形態に係るメモリトランジスタにおいて、複数ビットのデータ記憶を説明するためのワード方向の拡大断面図である。

【図 6】

第 2 実施形態に係る NOR 型メモリセルアレイの概略平面図である。

【図 7】

第 3 実施形態に係る MONOS 型メモリトランジスタのワード方向の断面図である。

【図 8】

第 3 実施形態に係るメモリトランジスタの効果説明に用いた、従来の MONOS 型メモリトランジスタについて、パンチスルー特性のゲート長依存性を示すグラフである。

【図 9】

第 3 実施形態に係るメモリトランジスタのワード方向の断面図である。

【図 10】

第 4 実施形態に係る Si ナノ結晶型メモリトランジスタのワード方向の断面図である。

【図 11】

第 5 実施形態に係る微細分割 FG 型メモリトランジスタのワード方向の断面図である。

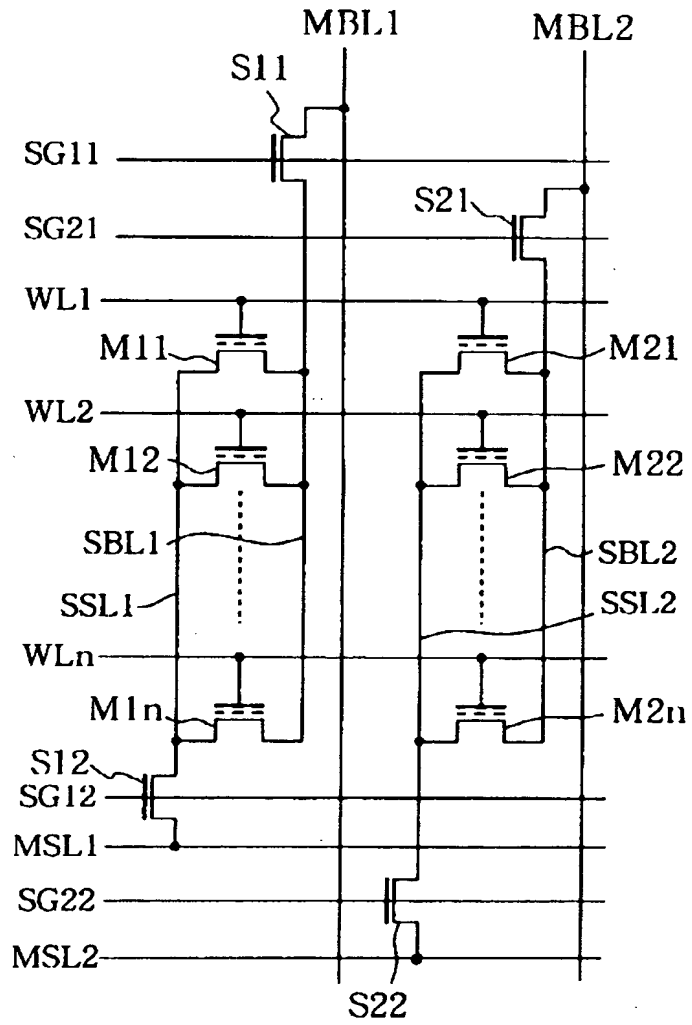
【符号の説明】

1 0, 1 4, 2 0, 3 0…ゲート絶縁膜、1 1…ボトム絶縁膜、1 2…窒化膜、1 3…トップ絶縁膜、2 2…Si ナノ結晶、2 3, 3 3…酸化膜、3 2…微細分割型フローティングゲート、3 4…分離酸化膜、3 5…シリコン層、SUB…半導体基板、W…ウェル、S…ソース不純物領域、D…ドレイン不純物領域、ISO…素子分離絶縁層、M 1 1 等…メモリトランジスタ、S 1 1 等…選択トランジスタ、B L 1 等…ビット線、M B L 1 等…主ビット線、S B L 1 等…副ビット線、S L 1 等…ソース線、M S L…主ソース線、S S L 1 等…副ソース線、W L 1 等…ワード線、S G 1 1 等…選択ゲート線、B C…ビットコンタクト、S C…

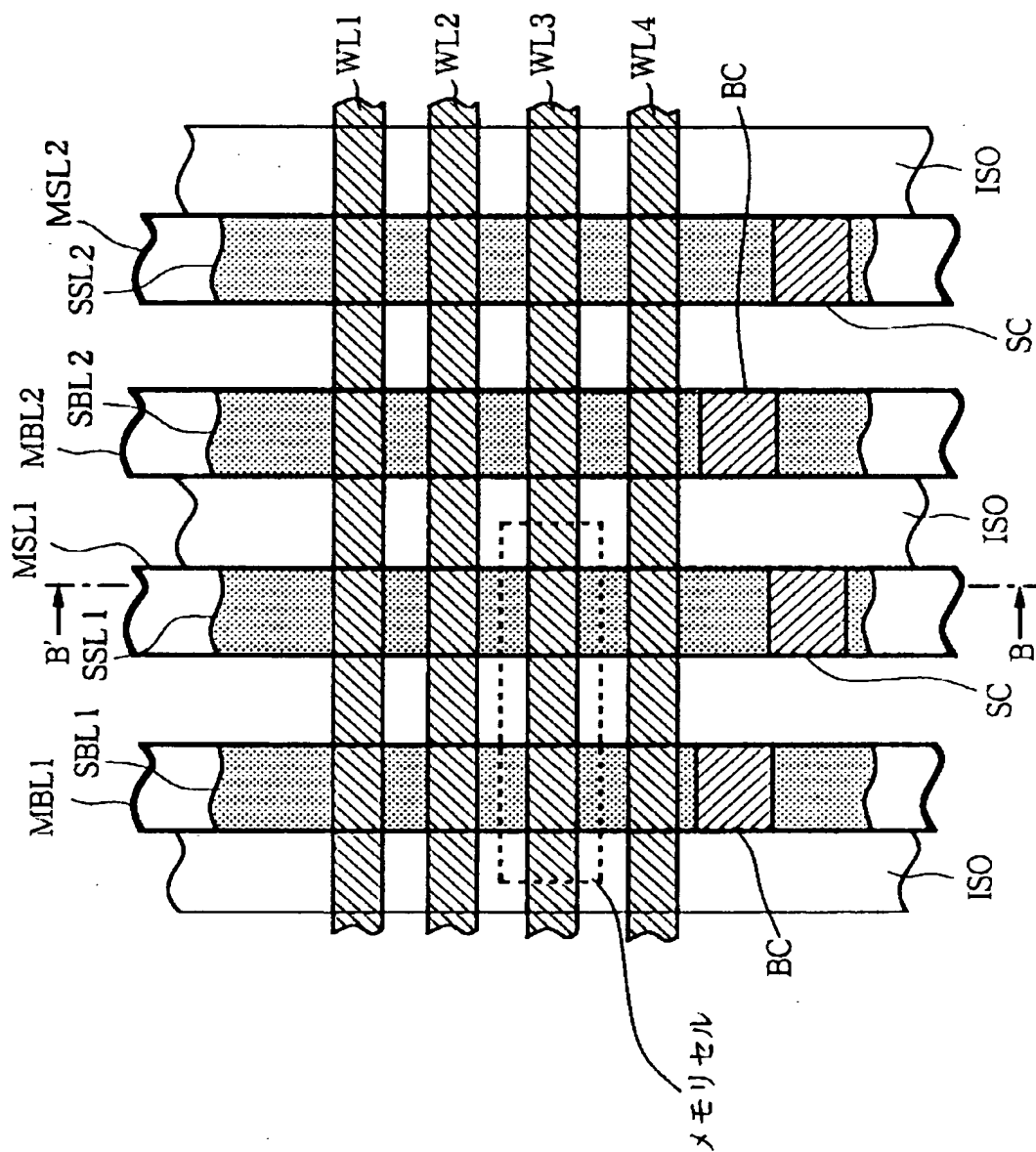
ソースコンタクト。

【書類名】 図面

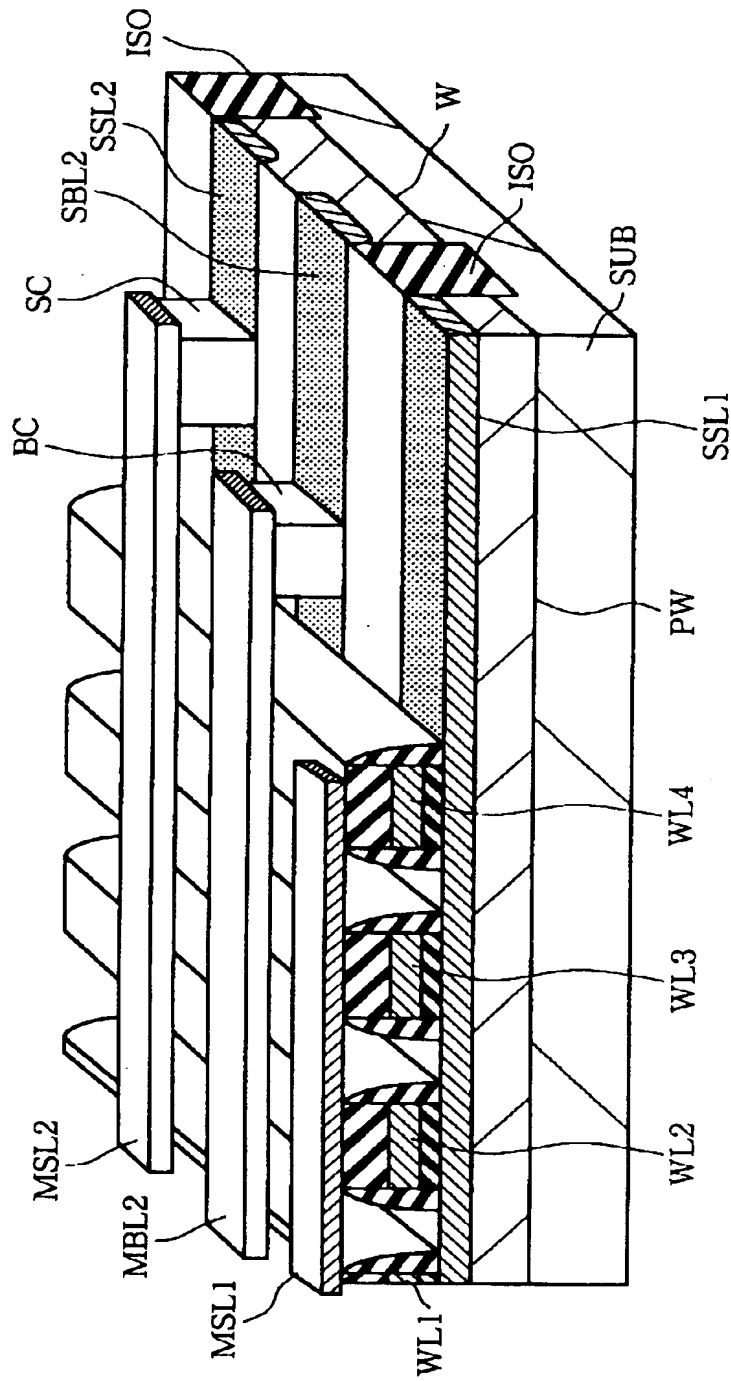
【図 1】



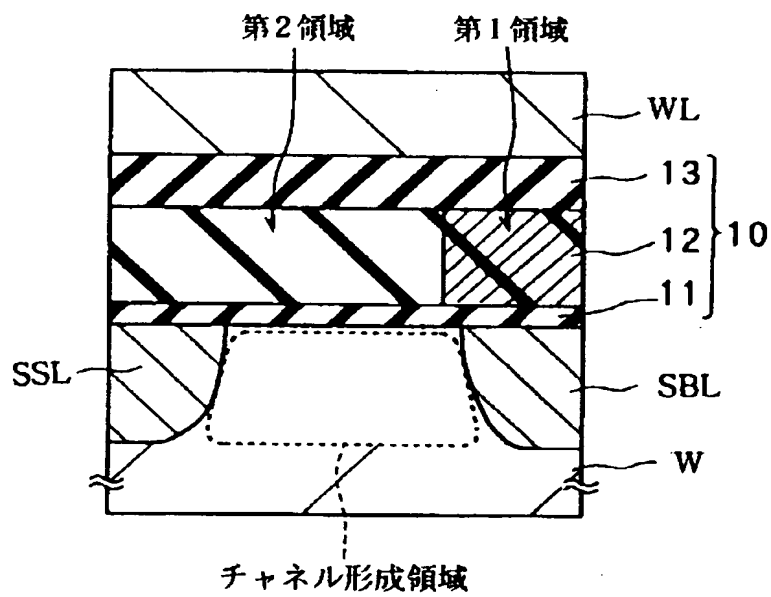
【図 2】



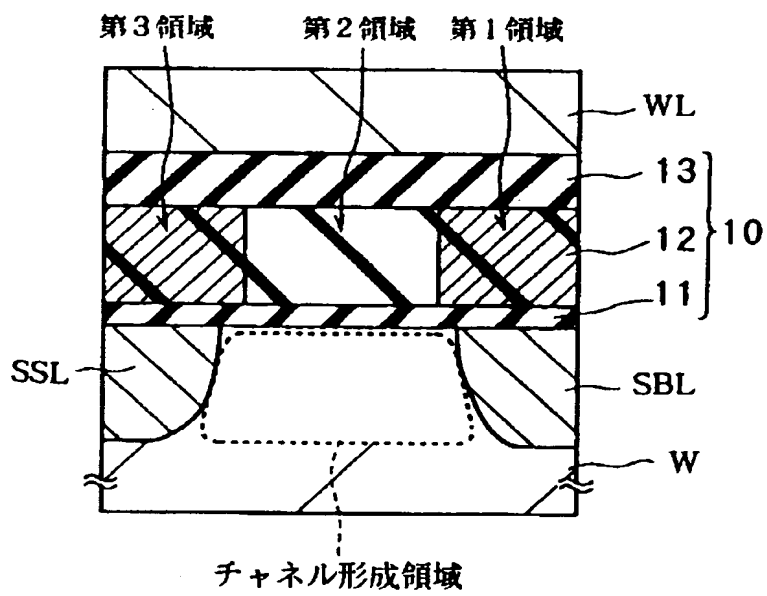
【図 3】



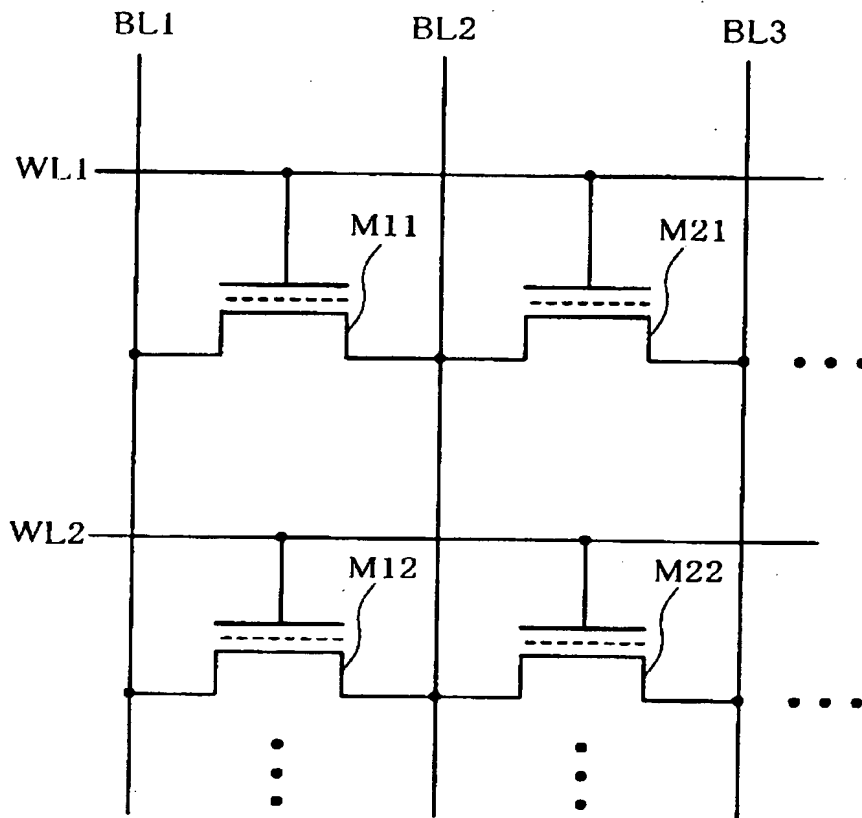
【図 4】



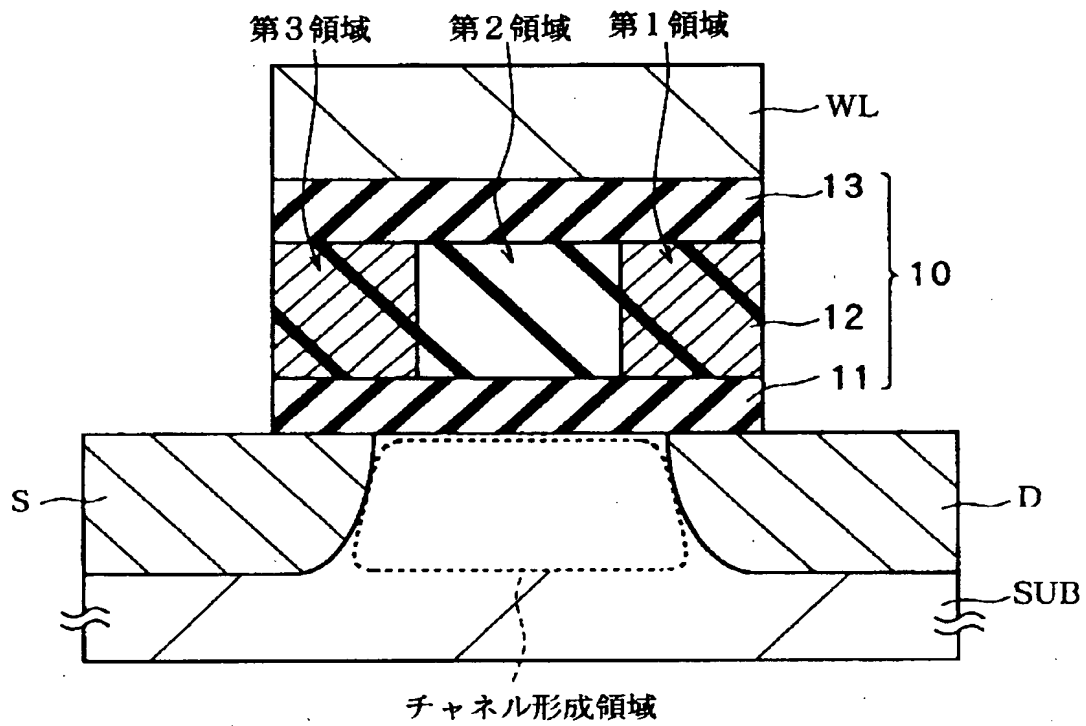
【図 5】



【図 6】

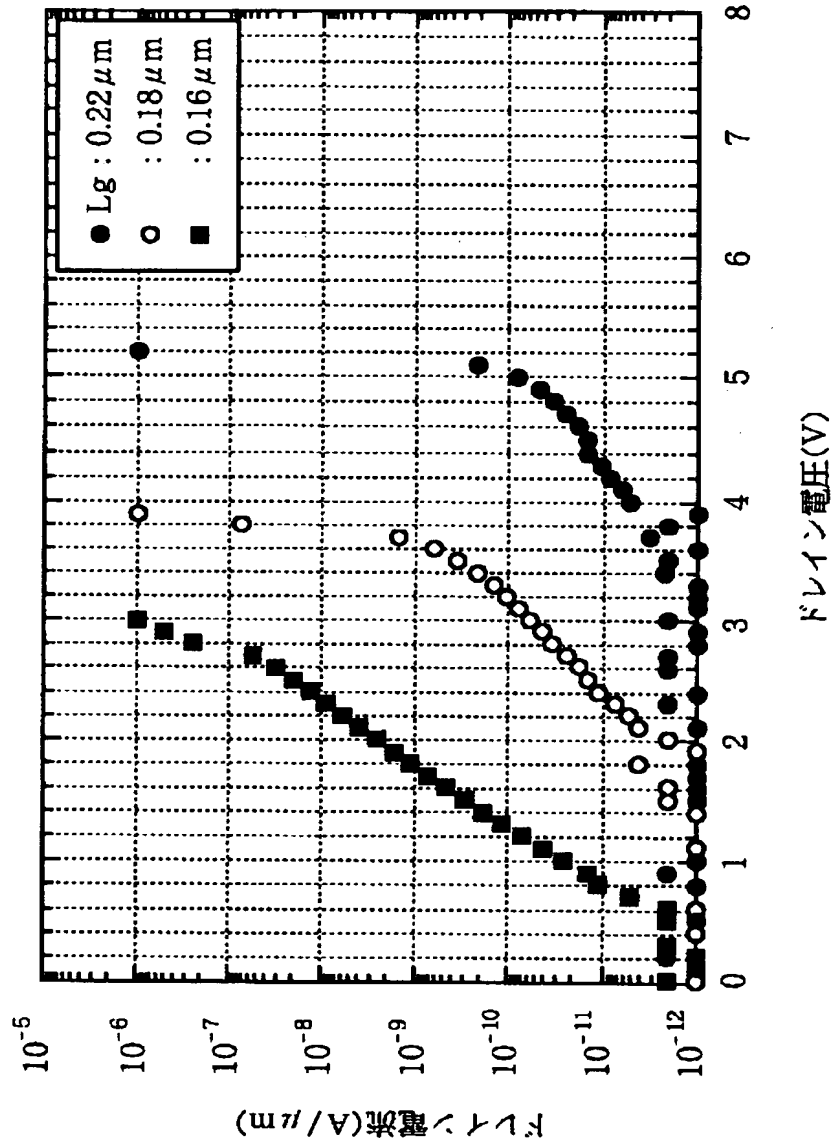


【図 7】

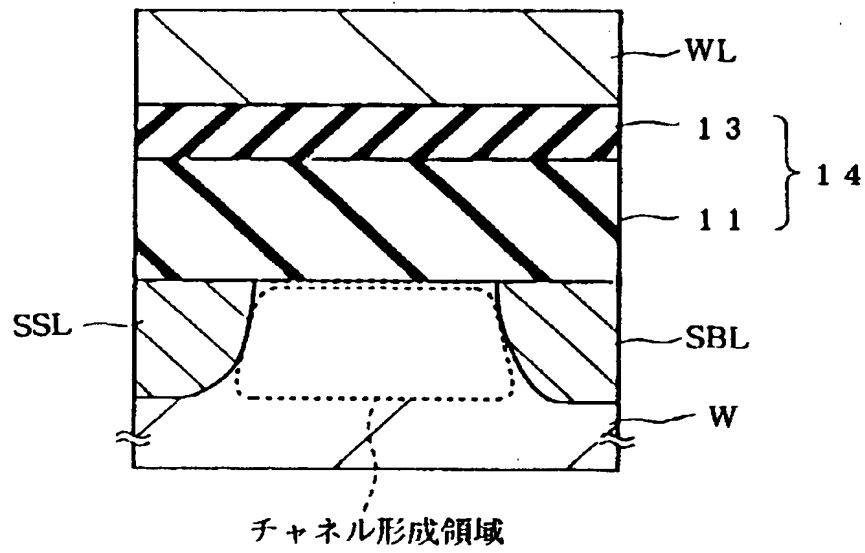


【図 8】

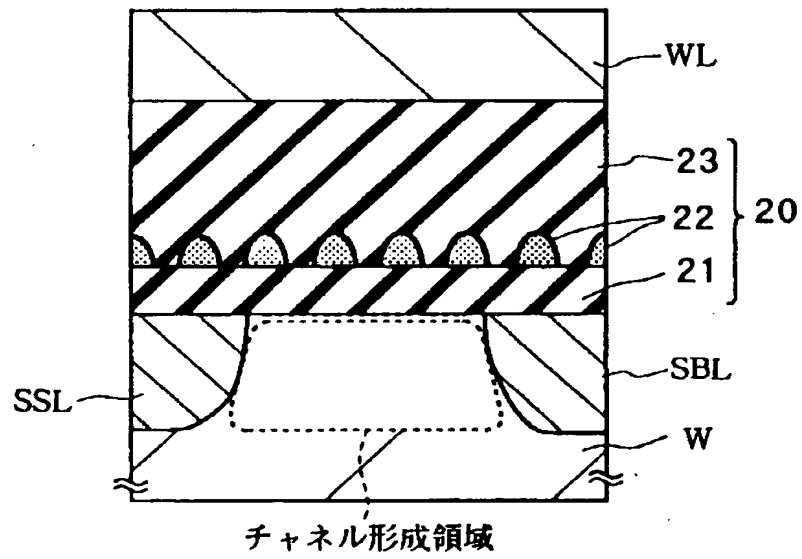
MONOSトランジスタのパンチスルー特性



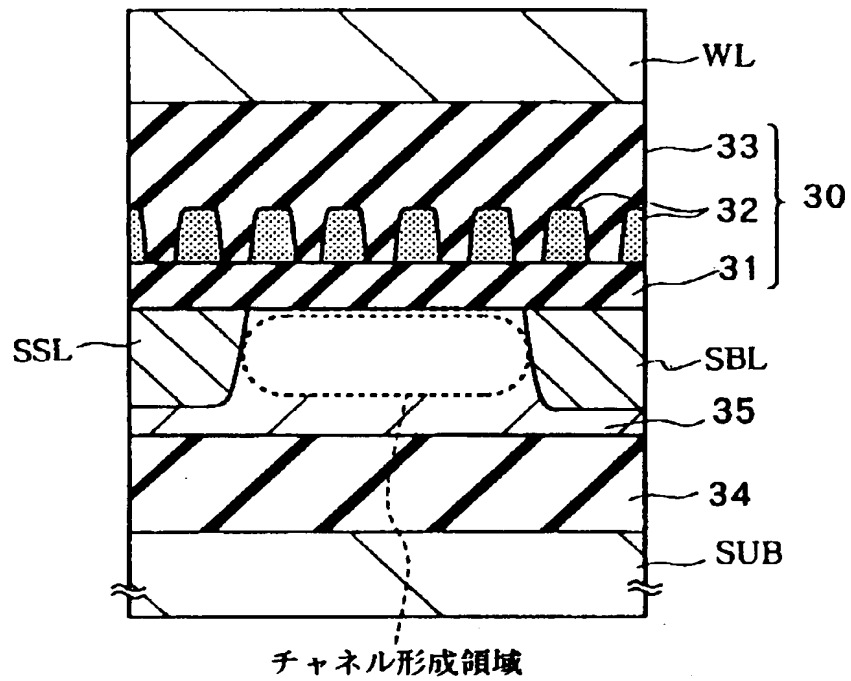
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 MONOS 型メモリトランジスタにおいて、ホットエレクトロン（以下、“HE”）を注入して高速書き込みを行う際に発生するパンチスルーを抑制し、ゲート長およびゲート絶縁膜厚のスケーリング性を向上させる。

【解決手段】 基板表面にチャネル形成領域を挟んで形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域 S、D と、チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜 10 およびゲート電極 WL と、ゲート絶縁膜 10 内で平面的に離散化して形成され、動作時にチャネル HE、バリスチック HE、2 次衝突電離 HE、基板 HE またはバンド間トンネル電流に起因した HE が注入される電荷蓄積手段（キャリアトラップ）とを有する。ゲート絶縁膜 10 内の最下層のボトム絶縁膜 11 が、二酸化珪素より誘電率が大きな絶縁材料、たとえば FN トンネリング電気伝導特性を示す窒化膜からなる。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社